

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

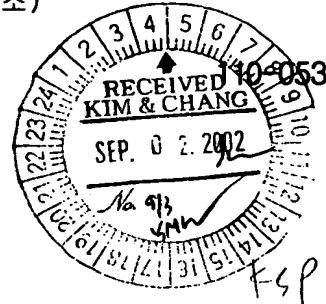
As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

018776

출력 일자: 2002/9/2

발송번호 : 9-5-2002-031682862
 발송일자 : 2002.08.30
 제출기일 : 2002.10.30

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
 장 특허법률사무소)
 주성민 거하



특허청 의견제출통지서

출원인 명칭 (주)다이나릿시스템 (출원인코드: 120000328880)
 주소 서울특별시 강남구 대치동 996-17 미래에셋센타워 비동 3층

대리인 성명 주성민 외 1명
 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2000-0063713 / KSP - FENOPRIMUS TPS

발명의 명칭 반도체 칩의 논리 기능 검증용 에뮬레이터 장치 및 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지합니다. 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항 내지 제40항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

- 1) 인용문헌1:국내공개특허2000-60737(2000.10.16)
- 2) 인용문헌2:국내등록특허1997-0009748(1997.6.18공고)

본원 발명은 반도체 칩의 논리 기능 검증용 에뮬레이터 장치 및 방법에 관한 것이나, 본원의 청구범위 제1항 내지 제40항은 상기 인용문헌1에 IC의 모델을 기능 부분과 외부 인터페이스 부분으로 분리하여 기능 부분의 수행은 프로세싱 엔진이 담당하고 외부 인터페이스 부분은 외부 인터페이스 신호 생성기가 담당하여 실제 핀 신호를 만들게 하고 그 사이의 통신은 인터페이스 제어패킷을 사용한 접속회로에 에뮬레이터의 구성이 나타나 있고, 또한 상기 인용문헌2에 시스템을 하드웨어로 제작하기 전에 디지털 셀룰라 시스템의 효처리를 검증하고 동시에 하드웨어와 소프트웨어의 기능 및 알고리즘으로 설계초기단계에서 확인하기 위하여 소프트웨어로 구현한 에뮬레이터 시스템의 구성이 나타나 있는 바, 본원이 속하는 기술분야에서 통상의 지식을 가진 자가 상기 두 인용문헌으로부터 용이하게 본원을 발명할 수 있는 정도의 것이라고 판단됨(특허법 제29조 제2항).

[첨부]

- 첨부 1 한국공개특허공보 2000-60737호(2000.10.16) 1부
 첨부2 한국등록특허공보 0126566호(1997.06.18) 1부 끝.

2002.08.30

특허청

심사4국

전자 심사담당관실

심사관 박성호

출력 일자: 2002/9/2

<<안내>>

문의사항이 있으시면 ☎ 042)481-5724 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

VLSI EMULATOR COMPRISING PROCESSORS AND RECONFIGURABLE CIRCUITS

Patent Number: WO0057273

Publication date: 2000-09-28

Inventor(s): PARK IN CHEOL;; KYUNG CHONG MIN;; LEE SEUNG JONG

Applicant(s): KOREA INST SCIENCE TECHNOLOGY (KR)

Requested Patent: WO0057273

Application Number: WO2000KR00229 20000317

Priority Number(s): KR19990009307 19990319

IPC Classification: G06F9/455; G06F17/00

EC Classification:

Equivalents: AU3333600, EP1080410 (WO0057273), JP2000298596

Cited Documents: US5477475; US5355528; US5329470; US5546562; US5638531; US5644515; US5963735

Abstract

Disclosed is an apparatus for verifying a VLSI design at an early stage as well as a later stage, and particularly a VLSI emulator based on processors and reconfigurable chips. The model of the VLSI chip is divided into a functional part and an external interface part. The functional part is executed by a processing module having at least one processor, and the external interface part is executed by an external interface signal processor to generate real pin signals. The external interface part is implemented using reconfigurable circuits by programming the circuits. The communicating between the functional part and the external interface part is accomplished by transmitting and/or receiving control packets composed of control commands and/or data. The internal functional part and the external interface part are verified on a target system at an early stage of the VLSI design, which may reduce time for designing the VLSI and verifying and designing whole system.

Data supplied from the **esp@cenet** database - I2

특 2000-0060737

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.^o
G06F 9/455(11) 공개번호 특 2000-0060737
(43) 공개일자 2000년 10월 16일

(21) 출원번호	10-1999-0009307
(22) 출원일자	1999년 03월 19일
(71) 출원인	한국과학기술원 윤덕용 대전광역시 유성구 구성동 373-1
(72) 발명자	경증민 대전광역시 유성구 도룡동 383-2 과기원 교수아파트 1동 201호
	박인철 대전광역시 유성구 도룡동 383-2 과기원 교수아파트 1동 201호
	최훈 서울특별시 송파구 송파동 미성아파트 5동 1001호
	이승종 경기도 고양시 일산구 주엽 2동 문촌마을 1807동 1001호
(74) 대리인	이종일

설사첨구 : 있을(54) 프로세서와 재설정가능 칩을 사용한 집적회로 에뮬레이터**요약**

본 발명은 집적회로를 에뮬레이션하여 검증할 수 있도록 한 장치에 관한 것으로서, 특히 집적회로 디자인을 디자인 초기단계에서부터 후반단계까지 자유로이 검증할 수 있는 프로세서와 재설정가능 칩에 기반한 집적회로 에뮬레이터에 관한 것으로서, 집적회로 칩의 모델을 기능 부분과 외부 인터페이스 부분으로 분리하여, 기능부분의 수행을 하나 이상의 프로세서로 구현된 프로세싱 엔진이 담당하고 외부 인터페이스 부분은 재설정가능 회로를 이용한 외부 인터페이스 신호 생성기가 담당하여 실제 편 신호를 생성하게 되며, 이 둘 사이의 정보교환은 명령어와 데이터로 이루어진 인터페이스 제어 패킷을 사용하여 이루어지고, 프로세싱 엔진과 외부 인터페이스 신호 생성기는 하나의 장치 안에 내장되어, 집적회로의 디자인의 여러 단계에서 내부 기능부분과 외부 인터페이스 부분을 실제 목표 시스템 내에서 검증할 수 있으며, 따라서 집적회로의 설계시간과 전체 시스템의 검증 및 설계 시간을 줄일 수 있다.

도표도**도 1****프로세서****도면의 간략한 설명**

도 1은 본 발명에 따른 시스템의 구성과 사용 예를 도시하는 도면

도 2는 프로세서 기반 프로세싱 엔진의 구현 예를 도시하는 도면

도 3는 외부 인터페이스 신호 생성기의 구현 예를 도시하는 도면

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|--------------------|---------------------|
| 1 : 모니터링/제어포트 | 2,11 : 에뮬레이터 |
| 3 : 프로세싱 엔진 | 4 : 외부 인터페이스 신호 생성기 |
| 5 : 인터페이스 제어 패킷 채널 | 6,8 : 소켓 |
| 7 : 집적회로 칩 | 9 : 목표 시스템 |
| 10 : 모니터링/제어 컴퓨터 | 12 : 하나 이상의 프로세서 |
| 13 : 하나 이상의 메모리 | 14 : 제어기 |
| 15 : 버퍼 | 16 : 편신호 생성 회로 |

도면의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적회로를 에뮬레이션하여 검증할 수 있도록 한 장치에 관한 것으로서, 보다 상세하게는 집적회로 설계를 칩으로 제작하기 전에 에뮬레이션하여 칩이 정착되어 수행될 시스템(이하 목표 시스템)과 함께 검증할 수 있도록 하는 프로세서와 재설정가능 칩을 사용한 집적회로 에뮬레이터에 관한 것이다.

일반적으로, 집적회로 설계를 칩으로 제작하기 까지 걸리는 시간이 길고, 그 비용이 높기 때문에 칩으로 제작되기 전인 설계 단계에서 모든 오류를 제거하는 것이 바람직하다. 또한 집적회로의 구조가 점점 복잡해지고 칩이 정착될 시스템도 복잡해짐에 따라 오류가 발생할 확률이 높아지기 때문에, 목표 시스템과 함께 설계를 미리 검증하는 에뮬레이션이 필수적이다.

한편, 종래의 에뮬레이터는 재설정가능 칩(Field Programmable Gate Array)들을 재설정가능 네트워크로 연결한 것으로, 게이트 레벨의 논리 회로를 에뮬레이션 한다. 이러한 에뮬레이터는 설계가 상당히 진행된 후반 단계에서의 설계만을 검증 할 수 있다. 따라서 디자인의 초기 단계에서의 검증을 할 수 없다는 문제점을 갖고 있다.

다른 한편, Watkins의 미국 특허 제4901259호의 ASIC 에뮬레이터(Emulator)에서는, 집적회로 전체의 소프트웨어 모델을 호스트 컴퓨터에서 수행하고, 모델의 수행 시 발생되는 핀 신호의 값을 ASIC 에뮬레이터 시스템이 전기적 신호로 바꾸어 소켓으로 내보낸다. 호스트 컴퓨터와 ASIC 에뮬레이터 간의 통신은 각 핀에 요구되어지는 핀 신호 값들의 집합으로 되어 있다. 이 방법은 다음의 이유들로 인하여 에뮬레이션 속도를 높이는데 문제가 있고 따라서 다양한 집적회로를 검증하는데 문제가 있다. 1) 호스트 컴퓨터가 외부 인터페이스에 요구되는 핀신호 생성을 포함한 모든 부분을 소프트웨어로 수행한다. 2) 일반적으로 컴퓨터의 I/O 포트를 이용한 통신은 프로세서의 성능에 비해 매우 느린다. 3) 호스트 컴퓨터와 ASIC 에뮬레이터가 케이블을 통하여 연결되므로 케이블의 전송 능력에 영향을 받는다. 또한 호스트 컴퓨터를 사용함으로 에뮬레이션에 직접적으로 필요하지 않은 부분이 포함되어 시스템이 커지게 된다.

따라서, 본 발명에서는 집적회로의 모델을 기능 부분과 외부 인터페이스 부분으로 분리하여, 기능부분의 수행은 하나 이상의 프로세서로 구성된 프로세싱 엔진이 담당하고 외부 인터페이스 부분은 재설정가능 회로를 이용한 외부 인터페이스 신호 생성기가 담당하여 실제 핀 신호를 만들게 하고, 이를 사이의 통신은 인터페이스 제어 패킷(명령어와 데이터로 구성)을 사용하여 이루어지고, 이를(프로세싱 엔진과 외부 인터페이스 신호 생성기)를 하나의 장치 안에 내장함으로써 에뮬레이션의 속도를 높여 효율적으로 다양한 속도를 요구하는 집적회로의 설계를 검증할 수 있는 방안을 제시하고자 한다.

발명이 이루고자 하는 기술적 과정

본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 집적회로의 소프트웨어 모델을 프로세서에 기반한 프로세싱 엔진과 재설정가능 칩을 이용한 외부 인터페이스 신호 생성기를 이용하여 에뮬레이션하므로 디자인 후반 단계 뿐만 아니라 디자인의 초기 단계에서의 설계도 자유로이 검증할 수 있는 프로세서와 재설정가능 칩을 사용한 집적회로 에뮬레이터를 제공하는데 있다.

본 발명의 또 다른 목적은 집적회로의 기능 부분은 프로세서 기반 프로세싱 엔진이 담당하고 외부 인터페이스 부분은 재설정가능 회로를 이용하고, 둘간의 통신은 인터페이스 제어 패킷을 사용하고, 이를 하나의 장치에 통합함으로 전체 에뮬레이션 속도를 높이고 좀 더 빠르고 정확한 핀 신호를 생성할 수 있도록 하는데 있다.

발명의 구성 및 작동

상기와 같은 목적을 달성하기 위한 본 발명에 따른 프로세서와 재설정가능 칩을 사용한 집적회로 에뮬레이터는 검증하려는 집적회로의 기능부분의 소프트웨어 모델을 수행하는 하나 이상의 프로세서와, 소프트웨어 모델과 모니터링 코드를 저장하고 있는 하나 이상의 블록(ROM)과/혹은 램(RAM)으로 구성된 메모리와, 상기 프로세서와 메모리간을 연결하는 채널로 이루어진 프로세싱 엔진과; 집적회로의 외부 인터페이스 모델을 수행하는 하나 이상의 재설정가능 소자로 구성된 핀 신호 생성회로와, 상기 프로세싱 엔진과 핀 신호 생성회로 간의 속도차의 완충과 동기화를 위한 버퍼 및 제어기로 이루어진 외부 인터페이스 신호 생성기와; 상기 프로세싱 엔진과 외부 인터페이스 신호 생성기 간의 인터페이스 제어 패킷의 통신을 위한 채널과; 상기 외부 인터페이스 신호 생성기와, 상기 검증하려는 집적회로가 구비된 목표 시스템간의 연결을 위한 소켓을 포함하는 것을 특징으로 한다.

본 발명의 상술한 목적과 여러 가지 장점은 이 기술 분야에 속련된 사람들에 의해 첨부된 도면을 참조하여 흥미로운 발명의 바람직한 실시예로부터 더욱 명확하게 될 것이다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.

도 1은 본 발명의 실시 예에 따른 에뮬레이터 시스템(이하 에뮬레이터)과 그 주변 시스템을 설명하기 위한 도면이다.

검증하려는 집적회로의 모델은 기능을 기술한 소프트웨어 모델과 외부 인터페이스 모델로 나뉘어 진다.

동 도면에 있어서, 에뮬레이터(2)는 기능을 기술한 소프트웨어 모델을 수행하는 하나 이상의 프로세서로 이루어진 프로세싱 엔진(3)과 외부 인터페이스 모델에 따라 외부와의 인터페이스를 담당하는 재설정가능 칩(예를 들면, FPGA)으로 이루어진 외부 인터페이스 신호 생성기(4)를 포함하고 있다. 프로세싱 엔진(3)은 외부와의 인터페이스가 필요 시 이에 해당하는 인터페이스 제어 패킷을 외부 인터페이스 신호 생성기(4)로 채널(5)을 통해 보내고, 외부 인터페이스 신호 생성기(4)는 이를 해독하여 요구되어지는 것에 맞춰서 목표 시스템(9)으로 전기적인 신호를 보내거나, 목표 시스템(9)으로부터 전기적 신호를 읽어

들여 프로세싱 엔진(3)으로 전달한다.

목표 시스템(9)에는 외부 인터페이스 신호 생성기(4)에서 만들어진 전기적인 편 신호들이 연결되는 소켓(6)이 있어 목표 시스템(9) 내부의 다른 접적회로 첨률(?)이나, 또 다른 에클레이터(11)에 연결되어 있는 다른 소켓(8)들과 전기적으로 연결될 수 있다.

한편, 에클레이터(2)는 내부의 모니터링/제어 포트(1)를 통하여 외부의 모니터링/제어용 컴퓨터(10)와 연결되어 외부에서 에클레이션 상황을 관찰하거나 제어할 수 있으며, 모니터링/제어 포트(1)는 에클레이션의 시작전에 프로세싱 엔진(3)으로 소프트웨어 모델을 다운로드(down-load) 하거나 외부 인터페이스 신호 생성기(4) 내부의 재설정가능 칩을 재설정하는데 사용된다.

도 2는 프로세싱 엔진(3)의 실시 예를 설명하기 위한 도면이다.

기능을 기술한 소프트웨어 모델은 프로세싱 엔진(3)내의 프로세서(12)가 수행할 수 있는 형태로 변환(컴파일)되어 모니터링을 위한 코드와 함께 메모리(13)에 저장되고, 프로세서(12)는 메모리(13)에 있는 소프트웨어 모델을 수행한다. 이때 소프트웨어 모델은 복수개의 블록으로 나누어져 복수개의 프로세서와 복수개의 메모리에서 수행될 수 있다. 이 경우 복수개의 프로세서간의 통신을 위한 통신 채널이 존재한다. 메모리(13)는 룰(ROM)과/혹은 램(RAM)으로 구성되어 있으며 수행할 코드를 미리 가지고 있거나 모니터링/제어 포트(1)를 통해 받을 수 있다. 기능을 기술한 소프트웨어 모델이 목표 시스템(9)내의 값을 읽거나 목표 시스템에 값을 쓰려고 할 때 프로세서(12)는 이에 대한 인터페이스 제어 패킷을 외부 인터페이스 신호 생성기(4)에 채널(5)을 통해 보내준다. 목표 시스템(9)에 자료를 쓰는 경우에는 인터페이스 제어 패킷은 쓰기 명령, 어드레스, 그리고 쓰려는 데이터로 구성되며, 목표 시스템(9)내의 자료를 읽는 경우에는 인터페이스 제어 패킷은 읽기 명령과 어드레스로 구성되어 보내지고 후에 외부 인터페이스 신호 생성기(4)가 목표 시스템(9)의 자료를 읽은 것이 확인한 후에, 결과와 값을 가져오는 인터페이스 제어 패킷을 보내며 그 값을 읽어온다. 에클레이션 상태는 사용자가 모니터링/제어 컴퓨터(10)에서 모니터링/제어 포트(1)를 통해 보내는 명령에 의해 제어되거나 모니터링 된다.

도 3은 외부 인터페이스 신호 생성기(4)의 실시 예를 설명하기 위한 도면이다. 프로세싱 엔진(3)으로부터 채널(5)을 통해 넘아온 인터페이스 제어 패킷은 제어기(14)를 통해서 버퍼(15)에 저장된다. 패킷의 명령어와 데이터는 외부 인터페이스 모델에 따라 미리 구성되어진 재설정가능 칩에 기반한 편 신호 생성 회로(16)에 의해 해당하는 편 신호들의 절차(sequence)로 만들어 서서 소켓(6)으로 보내진다. 편 신호 생성 회로(16) 내의 재설정가능 칩의 재설정은 에클레이션의 시작 전에 프로세싱 엔진(3)내의 메모리(13)의 ROM, 혹은 재설정 전용 ROM/RAM에 저장되어 있는 값에 의해 이루어지거나 혹은 모니터링/제어 포트(1)에 의해 다운로드 되어 이루어 진다.

일기의 경우에는 소켓(6)으로부터 읽혀진 값을 버퍼(15)에 저장한 후 이 상태를 프로세싱 엔진(3)에 알린다. 그러면 후에 프로세싱 엔진(3)은 저장되어 있는 값을 가져간다. 버퍼(15)는 프로세싱 엔진(3)과 편 신호 생성 회로(16)와의 속도차를 완충하고 동기화 시키는 역할을 한다. 쓰기의 경우 버퍼(15)에 있는 데이터를 편 신호 생성 회로(16)가 명령어에 따라 전기적인 신호로 바꾸어 소켓(6)으로 보내준다.

미상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 않는 범위에서 다양한 변경 및 수정 실시가 가능함을 알 수 있을 것이다.

발명의 효과

미상 설명한 바와 같이 본 발명에 따르면, 디자인 후기의 설계 뿐만 아니라 디자인 초기의 설계도 에클레이션이 가능하기 때문에, 접적회로 설계 초기에 기능 부분과 외부 인터페이스를 겸종할 수 있으며, 이에 따라 응용 시스템 개발 시간을 단축할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 접적회로 첨률을 에클레이션하여 겸종하기 위한 장치로서,

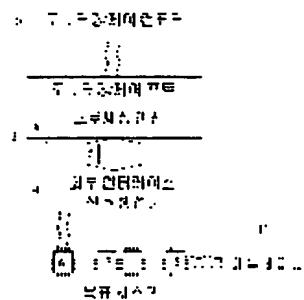
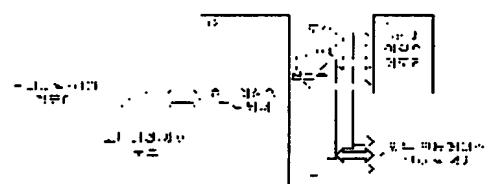
겸종하려는 접적회로의 기능부분의 소프트웨어 모델을 수행하는 하나 이상의 프로세서(12)와, 소프트웨어 모델을 저장하고 있는 하나 이상의 룰(ROM)과/혹은 램(RAM)으로 구성된 메모리(13)와, 상기 프로세서(12)와 메모리(13)간을 연결하는 채널로 이루어진 프로세서 기반의 프로세싱 엔진(3)과;

접적회로의 외부 인터페이스 모델을 수행하는 하나 이상의 재설정가능 소자로 구성된 편 신호 생성 회로(16)와, 상기 프로세싱 엔진(3)과 편 신호 생성 회로(16) 간의 속도차의 완충과 동기화를 위한 버퍼(15) 및 제어기(14)로 이루어진 외부 인터페이스 신호 생성기(4)와;

상기 프로세싱 엔진(3)과 외부 인터페이스 신호 생성기(4)간의 인터페이스 제어 패킷의 통신을 위한 채널(5)과;

상기 외부 인터페이스 신호 생성기(4)와, 겸종하려는 접적회로가 장착되어 수행될 목표 시스템(9)간의 연결을 위한 소켓(6)을 포함하는 프로세서와 재설정 가능 칩을 사용한 접적회로 에클레이터.

청구항 2. 제 1 항에 있어서, 외부에서의 에클레이션 상황의 모니터링 및 제어와, 상기 프로세싱 엔진(3)으로 소프트웨어 모델과 모니터링 코드를 다운로드(down-load) 하거나 외부 인터페이스 신호 생성기(4)내의 재설정가능 소자를 재설정하기 위하여 모니터링/제어 컴퓨터(10)와 연결되는 모니터링/제어 포트(1)를 더 구비한 것을 특징으로 하는 프로세서와 재설정 가능 칩을 사용한 접적회로 에클레이터.

도면1**도면2****도면3**